

This Page Is Inserted by IFW Operations  
and is not a part of the Official Record

## **BEST AVAILABLE IMAGES**

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images may include (but are not limited to):

- BLACK BORDERS
- TEXT CUT OFF AT TOP, BOTTOM OR SIDES
- FADED TEXT
- ILLEGIBLE TEXT
- SKEWED/SLANTED IMAGES
- COLORED PHOTOS
- BLACK OR VERY BLACK AND WHITE DARK PHOTOS
- GRAY SCALE DOCUMENTS

**IMAGES ARE BEST AVAILABLE COPY.**

**As rescanning documents *will not* correct images,  
please do not report the images to the  
Image Problem Mailbox.**

## SEMICONDUCTOR MEMORY

Patent Number: JP6251580  
Publication date: 1994-09-09  
Inventor(s): INADA HIROFUMI  
Applicant(s):: SUMITOMO METAL IND LTD  
Requested Patent: ☐ JP6251580  
Application JP19930036918 19930225  
Priority Number(s):  
IPC Classification: G11C11/401  
EC Classification:  
Equivalents:

---

### Abstract

**PURPOSE:** To perform a write-in and a read-out at a same time by connecting each bit line to plural sense-amplifiers and equalizers to form a port and by making a column decoder to operate a write-in/read-out independently with the combination of bit lines consisting of a port.

**CONSTITUTION:** A bit line connected to a cell shown by hatched lines is BL3, bit pair lines consisting of bit pair lines with BL3 are bit lines BL2, BL4, Bit lines consisting of BL2 and BL3 are connected to equalizers A and a sense-amplifier A and accessible with a port, A via the column decoder A and a data bus A. Thus, at the time of the write-in from the side of the port A, a write-in data is applied to a memory cell by selecting a word line WL3, lines BL2, BL3. At the time of the read-out, the data in a desired memory cell is read-out via the column decoder A and the data bus A by changing electric charge on bit lines while applying a pre-charge voltage  $V_{pc}$  potential on lines from the equalizer A and by amplifying the changed part of the electric potential.

---

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平6-251580

(43) 公開日 平成6年(1994)9月9日

(51) IntCl.<sup>5</sup>

識別記号

庁内整理番号

F I

技術表示箇所

G 1 1 C 11/401

6866-5L

G 1 1 C 11/ 34

3 6 2 G

審査請求 未請求 請求項の数 1 O L (全 8 頁)

(21) 出願番号 特願平5-36918

(22) 出願日 平成5年(1993)2月25日

(71) 出願人 000002118

住友金属工業株式会社

大阪府大阪市中央区北浜4丁目5番33号

(72) 発明者 稲田 洋文

大阪府大阪市中央区北浜4丁目5番33号

住友金属工業株式会社内

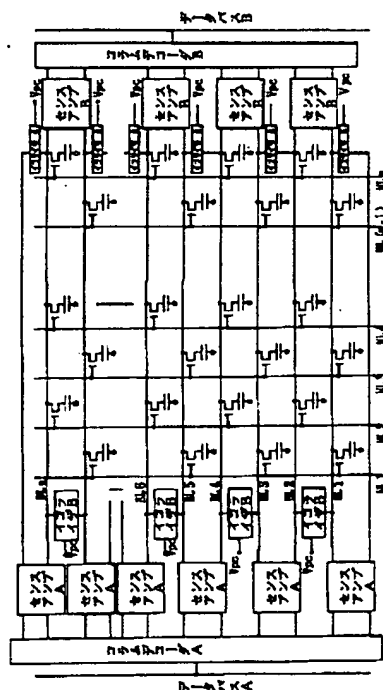
(74) 代理人 弁理士 塩野入 章夫

(54) 【発明の名称】 半導体メモリ

(57) 【要約】

【目的】 チップ面積を増加させることなく複数のポートから書込み、読出しの両方の動作を同時に行える集積度の高い半導体メモリを提供する。

【構成】 複数のワード線WL1~WLnと、複数のビット線BL1~BLnと、ワード線及びビット線の交点近傍に設けられるダイナミックメモリセルと、ビット線に接続され各前記ダイナミックメモリセルの保持データをリフレッシュするセンスアンプと、ビット線対の電位を等しくするイコライザと、各ビット線を選択するためのコラムデコーダとを備えた半導体メモリにおいて、各ビット線は、複数のセンスアンプと複数のイコライザに接続されて複数のポートをなすとともに、このポートを構成するビット線の組み合わせをコラムデコーダが独立して書込み/読出し動作の制御をできるように選択する。



## 【特許請求の範囲】

【請求項1】 複数のワード線と、複数のビット線と、前記ワード線及びビット線の交点近傍に設けられるダイナミックメモリセルと、前記ビット線に接続され各前記ダイナミックメモリセルの保持データをリフレッシュするセンスアンプと、ビット線対の電位を等しくするイコライザと、各前記ビット線を選択するためのコラムデコーダとを備えた半導体メモリにおいて、前記各ビット線は、複数のセンスアンプと複数のイコライザに接続されて複数のポートをなし、前記ポートを構成する前記ビット線の組み合わせは前記コラムデコーダが独立して書き込み/読出し動作の制御を可能とすることを特徴とする半導体メモリ。

## 【発明の詳細な説明】

## 【0001】

【産業上の利用分野】 本発明は、半導体メモリに関するものである。

## 【0002】

【従来の技術】 半導体メモリ回路の持つ課題として、小形、高集積化、高速化とともに利用効率の向上がある。従来、この半導体メモリ回路の利用効率を向上させる技術として、例えばデュアルポートRAM (Random Access Memory) が知られており、複数のシステムを制御する等の処理において、複数のMPU (Micro Processing Unit) に対してこのデュアルポートRAMによる共通メモリを介在させることにより、MPU間のデータの受渡し時間の短縮化やソフトウェアの簡略化を図っている。

【0003】 図6は、第1の従来例のスタティック形メモリセルにより構成されるデュアルポートRAMの回路図であり、ワード線W及びビット線はそれぞれWr、Wr\*、Wwと、BLw、BLw\*、BLr、BLr\*からなり、ワード線Wとビット線BL対の交点に1つのメモリセルが接続されている。このメモリセルへの書き込み時においては、ワード線Ww、ビット線BLw、BLw\*が選択され、書き込みデータDw、Dw\*が与えられ、読出し時にはワード線Wr、ビット線BLrが選択されて読出しデータDrが得られる。そして、同時に他のルートからアクセスがある場合には、ワード線Wr\*、ビット線BLr\*が選択されて反転読出しデータDr\*を得ることができ、二重読出しアクセスが可能となる。

【0004】 また、図7は、第2の従来例のダイナミック形メモリセルにより構成されるデュアルポートRAMの回路図であり、図8に示す一般的なダイナミック形メモリセルによるセルアレイに適用することができる。このメモリセルは、2本のビット線からなる、各ビット線対 (例えば、図8中のBL1とBL2、BL3とBL4、BL(n-1)とBLn) に1つずつセンスアンプとイコライザが設けられ、さらに各ビット線は第1コラムデコーダCD1及び第1のゲートG1を用いて第1の

ポートである読出し/書き込みバスBS1に共通接続され、第2コラムデコーダCD2及び第1のゲートG2を用いて第2のポートである読出しバスBS2に接続される。このダイナミック形メモリセルを用いたデュアルポートRAMとして、例えば特公平4-59713号公報に開示されるものがある。

## 【0005】

【発明が解決しようとする課題】 しかしながら、従来のデュアルポートRAMにおいては次のような問題点を有している。

(1) 従来のスタティック形メモリセルによるデュアルポートRAMでは、高集積化が難しい。

(2) 従来のダイナミック形メモリセルによるデュアルポートRAMでは、一方のポートからは書き込み動作ができず、書き込み、読出しの両方の動作を2つのポートから行うことができない。

【0006】 したがって、本発明は上記の問題点を除去し、チップ面積を増加させることなく複数のポートから書き込み、読出しの両方の動作を同時に行える集積度の高い半導体メモリを提供することを目的とする。

## 【0007】

【課題を解決するための手段】 本発明は、前記の目的を達成するために、複数のワード線と、複数のビット線と、ワード線及びビット線の交点近傍に設けられるダイナミックメモリセルと、ビット線に接続され各前記ダイナミックメモリセルの保持データをリフレッシュするセンスアンプと、ビット線対の電位を等しくするイコライザと、各ビット線を選択するためのコラムデコーダとを備えた半導体メモリにおいて、各ビット線は、複数のセンスアンプと複数のイコライザに接続されて複数のポートをなし、また、このポートを構成するビット線の組み合わせをコラムデコーダが独立して書き込み/読出し動作の制御が可能となるよう選択するものである。

## 【0008】

【作用】 本発明によれば、半導体メモリのダイナミックメモリセルに接続されるビット線には複数のセンスアンプと複数のイコライザが接続されており、このビット線から2本を選択してビット線対を構成することにより、センスアンプとイコライザがそれぞれ接続されたポートを複数個構成することができる。そして、このポートを構成するビット線の組み合わせをコラムデコーダが独立して書き込み/読出し動作の制御が可能となるよう選択する。

【0009】 このビット線の組み合わせは、例えばデュアルポートの場合には、隣り合うビット線と必ずセンスアンプとイコライザとで接続させることにより実現でき、この構成により、ポートAに対してはイコライザA、センスアンプA、コラムデコーダA、及びデータバスAによりデータAの読み出し及び書き込みが行われ、ポートBに対してはイコライザB、センスアンプB、コラ

ムデコーダB、及びデータバスBによりデータBの読出し及び書き込みが行われて、2つのポートが等価に書き込み、読出しの両方の動作を行えるデュアルポートRAMをチップ面積の増大を抑えて実現することができる。

【0010】

【実施例】以下、本発明の実施例について図を参照しながら詳細に説明する。

【本発明の第1実施例の半導体メモリの構成】図1は本発明の第1の実施例の半導体メモリの回路構成図である。同図はポートAとポートBの二つのポートを有したデュアルポートRAMの場合であり、各ポートのセンスアンプ、イコライザ、コラムデコーダ、データバスを符号A、Bで表している。

【0011】隣接する2本のビット線を対として、そのビット線対間にダイナミックメモリセルの保持データをリフレッシュするセンスアンプとビット線対の電位を等しくするイコライザが設置され、そして、この隣合うビット線どうしは必ずセンスアンプ、イコライザで接続するように構成される。つまり、あるビット線にはそれぞれ異なるビット線と接続している2つのセンスアンプ及びイコライザが接続される。このビット線に対するセンスアンプとイコライザの接続の一構成単位を、図2のダイナミック形メモリセルのブロック構成図に示す。同図のメモリセルは1トランジスタ1キャパシタのダイナミック形メモリセルであり、書き込み時には、ワード線WL、ビット線BLが選択され、書き込みデータがメモリセルに与えられる。一方、読出し時には、まずイコライザからプリチャージ電圧 $V_{pc}$ 電位を与え、ビット線電位を変化させ、その電位変化分をセンスアンプで増幅し、コラムデコーダ、及びデータバスを通して、所望のメモリセルのデータを読み出す。

【0012】このセンスアンプとイコライザの接続状態は、例えば、図1においてビット線BL2に注目すると、このビット線BL2と隣接するビット線はビット線BL1とビット線BL3であり、ビット線BL2とビット線BL1の間にはセンスアンプB及びイコライザBが接続され、またビット線BL2とビット線BL3の間にはセンスアンプA及びイコライザAが接続される。

【0013】この構成を、図8の一般的なダイナミック形メモリセルと比較すると、本発明の半導体メモリは、従来接続されていなかったビット線間にもセンスアンプ及びイコライザを接続することによりポートの数を増加させている。例えば、図8においてビット線BL2はビット線BL1とセンスアンプ及びイコライザを介しては接続されているが、ビット線BL3とは接続されていないのに対して、本発明のセルアレイにおいては、図1に示されるようにビット線BL2はビット線BL1とセンスアンプB及びイコライザBを介しては接続され、また、ビット線BL3とはセンスアンプA及びイコライザAを介して接続される。

【本発明の半導体メモリの動作】次に、本発明の半導体メモリのセルアレイへのアクセス動作について図3及び図4を用いて説明する。図3はデータバスAが接続されているポートAからのセルアレイへのアクセス動作を説明する図であり、図4はデータバスBが接続されているポートBからのセルアレイへのアクセス動作を説明する図である。ここでは、ワード線WL3（図中、縦方向の太い実線で示される）とビット線BL3（図中、横方向の太い実線の上方側で示される）の交差点にあるセル（斜線で示される）のアクセス動作について説明する。

【0014】はじめに、ポートAからのアクセス動作について説明する。図3において、斜線で示される注目しているセルに接続しているビット線はBL3であり、このビット線BL3とビット線対を構成するのはビット線BL2とビット線BL4である。この二つのビット線対の内、ビット線BL3とビット線BL2からなるビット線対はイコライザAとセンスアンプAに接続されており、コラムデコーダA及びデータバスAを介してポートAとのアクセスが可能であるが、ビット線BL3とビット線BL4からなるビット線対はイコライザBとセンスアンプBに接続されているためポートAとはアクセスできない。

【0015】これにより、ポートA側からの書き込み時には、ワード線WL3、ビット線BL2、BL3を選択して、書き込みデータをメモリセルに与え、読出し時には、イコライザAからプリチャージ電圧 $V_{pc}$ 電位を与え、ビット線電位を変化させ、その電位変化分をセンスアンプAで増幅し、コラムデコーダA、及びデータバスAを通して、所望のメモリセルのデータを読み出す。

【0016】次に、ポートBからのアクセス動作について説明する。図4において、注目しているセルを前記図3のセルと同じものとして斜線で示すと、このセルに接続しているビット線はBL3であり、このビット線BL3とビット線対を構成するのはビット線BL2とビット線BL4である。この二つのビット線対の内、ビット線BL3とビット線BL4からなるビット線対はイコライザBとセンスアンプBに接続されており、コラムデコーダB及びデータバスBを介してポートBとのアクセスが可能であるが、ビット線BL3とビット線BL2からなるビット線対はイコライザAとセンスアンプAに接続されているためポートBとはアクセスできない。

【0017】これにより、ポートB側からの書き込み時には、ワード線WL3、ビット線BL3、BL4を選択して、書き込みデータをメモリセルに与え、読出し時には、イコライザBからプリチャージ電圧 $V_{pc}$ 電位を与え、ビット線電位を変化させ、その電位変化分をセンスアンプBで増幅し、コラムデコーダB、及びデータバスBを通して、所望のメモリセルのデータを読み出す。

【0018】したがって、前記構成によりチップ面積を増大させることなく従来のDRAMと同程度のチップ面

積により、書込み読出しの両動作がどちらのポートからでも可能なデュアルポートRAMを構成することができる。

【本発明の半導体メモリを用いた構成例】次に本発明の半導体メモリを用いて1メガビット・デュアルポートRAMを構成する構成例を図5のダイアグラムに示す。

【0019】容量が512キロビットのセルアレイを2個用いて1メガビット・デュアルポートRAMを構成する。2個の512キロビットのセルアレイは、それぞれポートAとポートBに接続するコラムデコーダA及びコラムデコーダBを有しており、各コラムデコーダAにはコラムアドレスAが、また各コラムデコーダBにはコラムアドレスBのアドレスがそれぞれ独立に入力される。また各512キロビットのセルアレイのロウデコーダには、ロウアドレス調停部を介してロウアドレスA及びロウアドレスBのアドレスが入力される。各ポートA、Bは、前記アドレスにより選択されたセルに対して、データバスA、Bを介してデータの書込みあるいは読出しを行う。

【0020】また、ダイナミック形メモリセルの保持情報の消失を防ぐためのリフレッシュ動作を制御するリフレッシュ制御部を備えており、ロウアドレス調停部を介してリフレッシュ信号を送出する。このロウアドレス調停部は、リフレッシュ制御部からのリフレッシュ信号とロウアドレスA、Bの入力アドレスのロウデコーダへの送出制御を行うものであり、リフレッシュサイクル中のアクセスに対し必要ならば、各ポートから外部の装置にBUSY信号を送り返す。

【0021】なお、前記実施例においては、2個の512キロビットのセルアレイにより1メガビット・デュアルポートRAMを構成しているが、使用するセルアレイの個数を増加させることによりデュアルポートRAMの容量を増加させることも可能である。

【本発明の第2実施例の半導体メモリの構成】図9は、前記第1実施例の半導体メモリの構成のビット線の組み合わせ状態を表した図であり、図10は、第2実施例の半導体メモリの構成のビット線の組み合わせ状態を表した図である。

【0022】図9は、前記図1の半導体メモリの構成を書き直したものであり、センスアンプA及びイコライザAが接続されるビット線対をA1-A1、A2-A2…の対で表し、センスアンプB及びイコライザBが接続されるビット線対をB1-B1、B2-B2…の対で表わしたものである。なお、センスアンプ、イコライザ、コラムデコーダ、データバス等は省略している。

【0023】図10は、本発明の第2の実施例の半導体メモリの構成を図9の表記により表したものである。ポートAに接続され、センスアンプA及びイコライザAが接続されるビット線対A1、A2…は、前記第1の実施例の組み合わせと同様であるが、ポートBに接続され、

センスアンプB及びイコライザBが接続されるビット線対B1、B2…は、そのビット線対の間に他の2本のビット線を挟んだ組み合わせである。例えば、ビット線対B3は、2本のビット線B3の間にビット線B2とビット線B4を挟んだ組み合わせであり、またビット線対B4は、2本のビット線B4の間にビット線B3とビット線B5を挟んだ組み合わせである。このポートBに対するビット線対の組み合わせは、ポートA及び前記第1の実施例のポートBに対するビット線対と異なるものであって、かつ2本のビット線のうち1本はメモリセルに接続しないというダイナミック・メモリセルの読出し動作の原則に従うことにより設定される。

【本発明の第3実施例の半導体メモリの構成】図11は、本発明の第3実施例のビット線の組み合わせ状態を表した図である。

【0024】第3の実施例は、マルチポートの半導体メモリの構成するものであり、図11ではポートAからポートFのビット線対の組み合わせ状態を表している。各ポートに対するビット線の組み合わせは、他のポートに対するビット線の組み合わせと異なるものであって、かつ2本のビット線のうち1本はメモリセルに接続しないというダイナミック・メモリセルの読出し動作の原則に従うことにより設定される。

【0025】例えば、ポートBに対するビット線対B1、B2…は、ポートAに対するビット線対A1、A2…に対して1ビット線ずれた組み合わせとし、ポートCに対するビット線対C1、C2…は、前記第2の実施例と同様にそのビット線対の間に他の2本のビット線を挟んだ組み合わせとし、ポートDに対するビット線対D1、D2…は、ビット線対C1、C2…と同様にそのビット線対の間に他の2本のビット線を挟むとともにビット線対C1、C2と異なる組み合わせとし、ポートEに対するビット線対E1、E2…は、そのビット線対の間に他の4本のビット線を挟んだ組み合わせとし、ポートFに対するビット線対F1、F2…は、そのビット線対の間に他の4本のビット線を挟むとともにビット線対E1、E2と異なる組み合わせとする。

【0026】図においては、A～Fの6個のポートに対するビット線対の組み合わせを示しているが、更にポートの個数を増加させたマルチポートを構成することも可能である。なお、本発明は上記実施例に限定されるものではなく、本発明の趣旨に基づき種々の変形が可能であり、それらを本発明の範囲から排除するものではない。

【0027】

【発明の効果】以上説明したように、本発明によれば、高集積化が容易なダイナミック形メモリセルを用いて、チップ面積を増加させることなくDRAMと同程度の面積で複数のポートから書込み、読出しの両方の動作を同時に行える集積度の高い半導体メモリを実現できる。

【図面の簡単な説明】

【図1】本発明の第1の実施例の半導体メモリの回路構成図である。

【図2】ダイナミック形メモリセルのブロック構成図である。

【図3】本発明の半導体メモリのポートAからのセルアレイへのアクセス動作を説明する図である。

【図4】本発明の半導体メモリのポートBからのセルアレイへのアクセス動作を説明する図である。

【図5】本発明の半導体メモリを用いた1メガビット・デュアルポートRAMのダイアグラムである。

【図6】第1の従来例のスタティック形メモリセルにより構成されるデュアルポートRAMの回路図である。

【図7】第2の従来例のダイナミック形メモリセルによ

り構成されるデュアルポートRAMの回路図である。

【図8】一般的なダイナミック形メモリセルの構成図である。

【図9】第1実施例の半導体メモリの構成のビット線の組み合わせ状態を表した図である。

【図10】第2実施例の半導体メモリの構成のビット線の組み合わせ状態を表した図である。

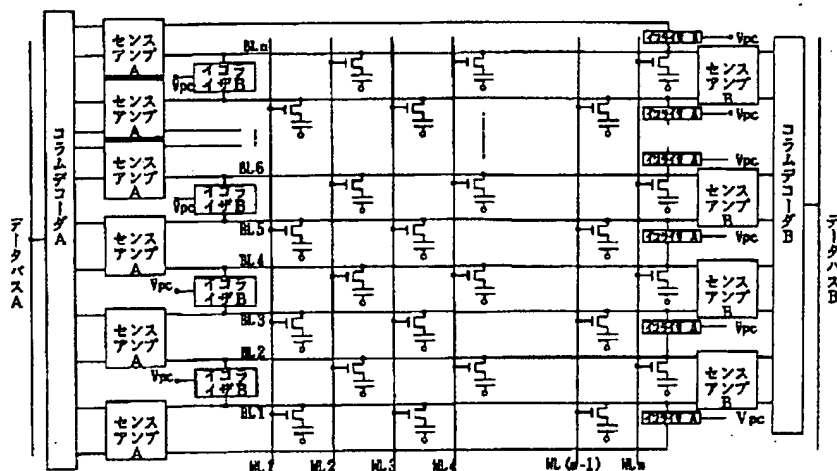
【図11】本発明の第3実施例の半導体メモリの構成のビット線の組み合わせ状態を表した図である。

#### 10 【符号の説明】

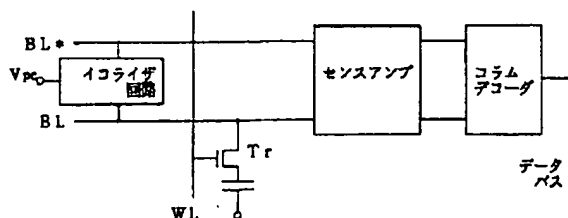
BL1~BLn ビット線

WL1~WLn ワード線

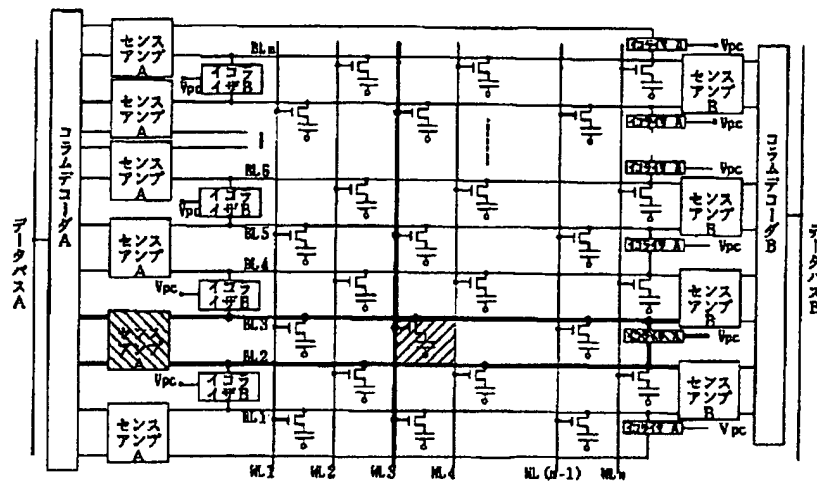
【図1】



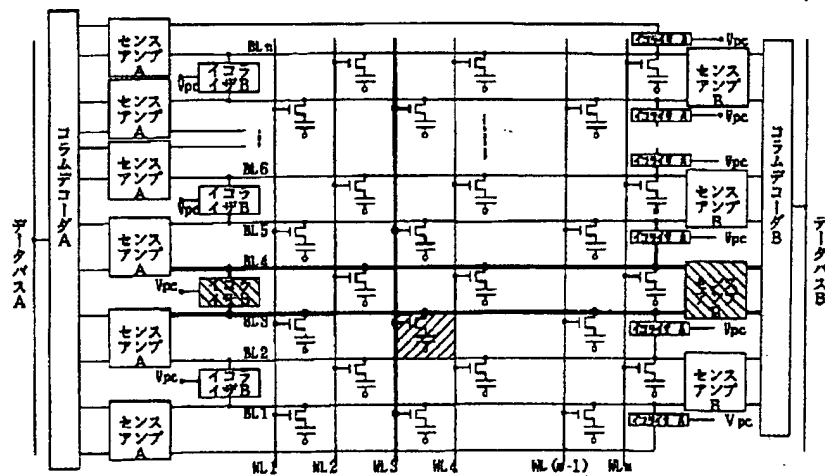
【図2】



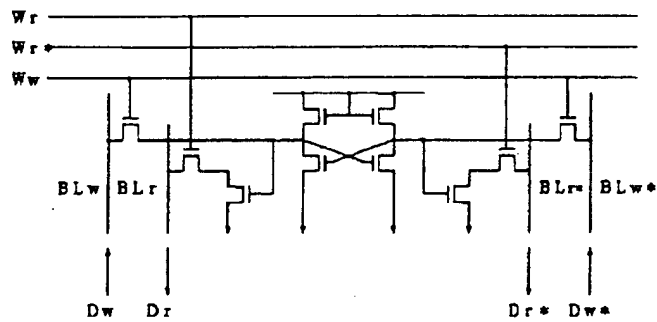
【図3】



【図4】

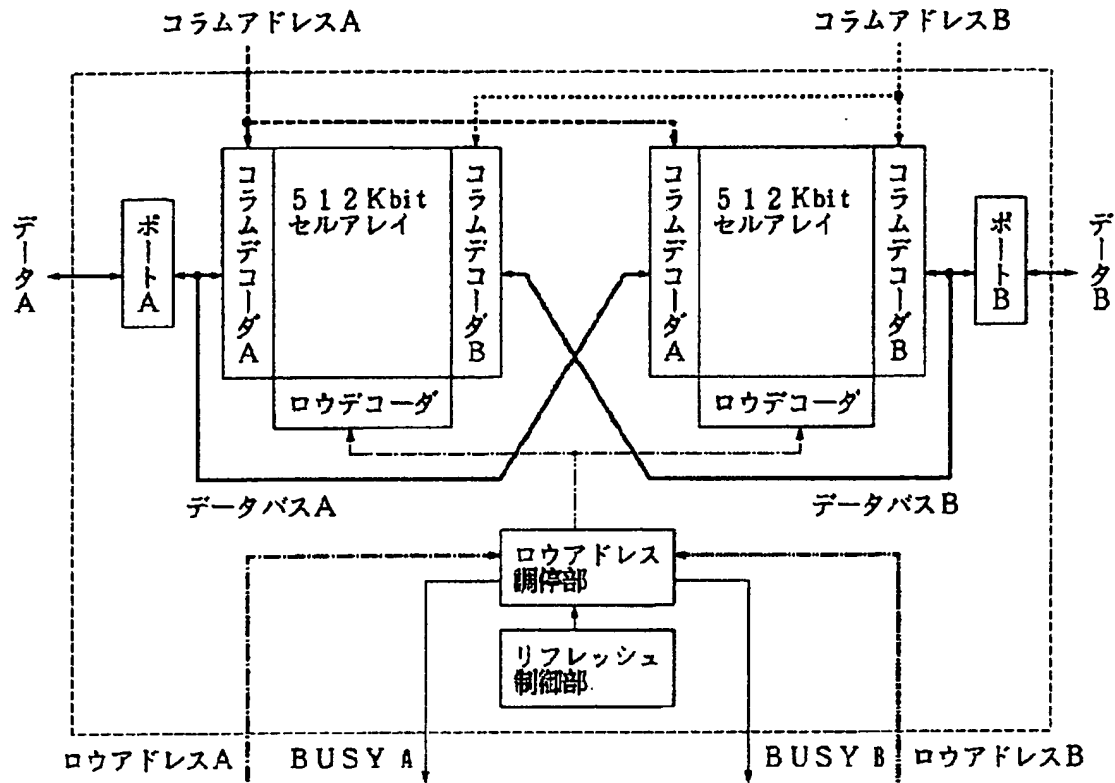


【図6】

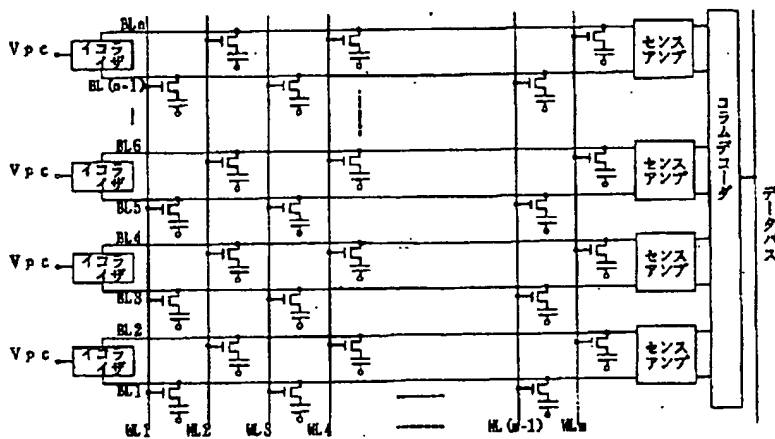




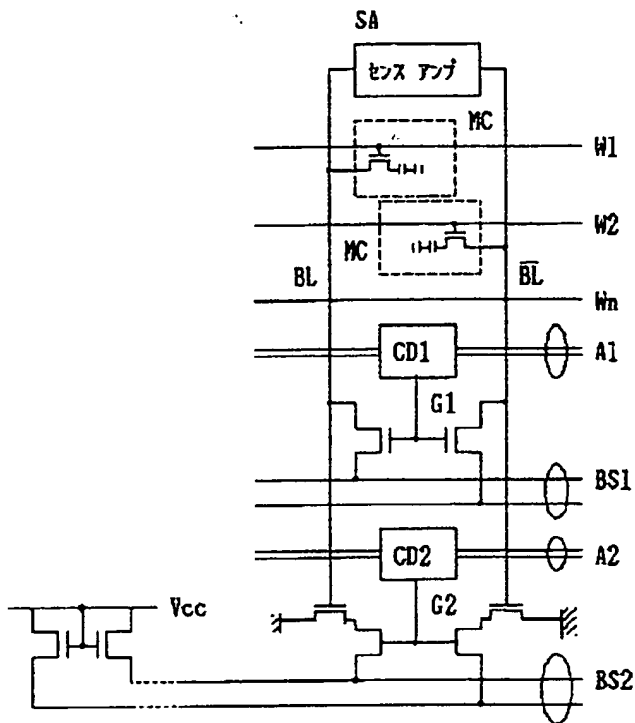
【図5】



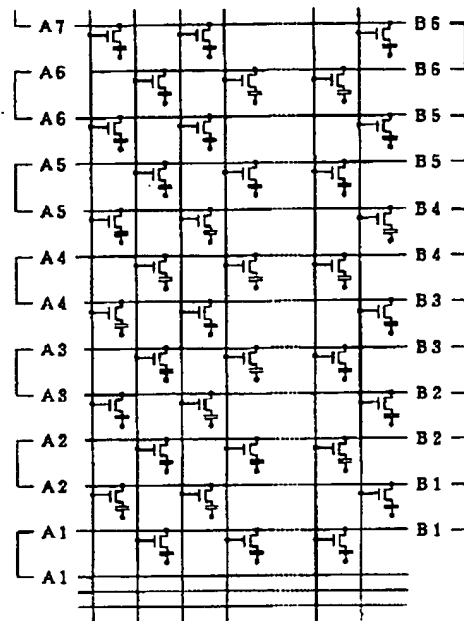
【図8】



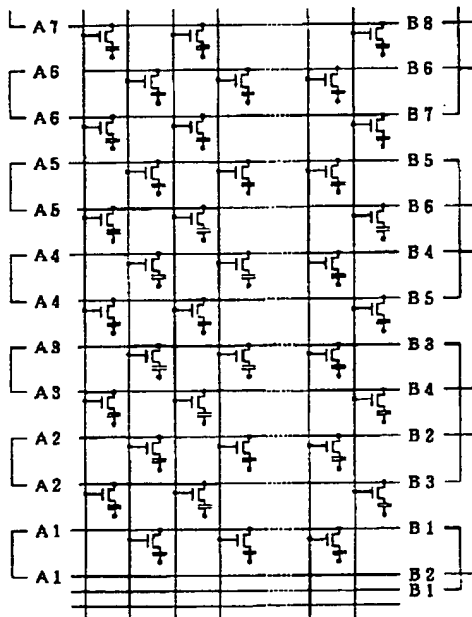
【図7】



【図9】



【図10】



【図11】

